

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-127608

(43)Date of publication of application : 25.05.1993

(51)Int.Cl.

G09G 3/18
G02F 1/133
G02F 1/1335

(21)Application number : 03-287749

(71)Applicant : CANON INC

(22)Date of filing : 01.11.1991

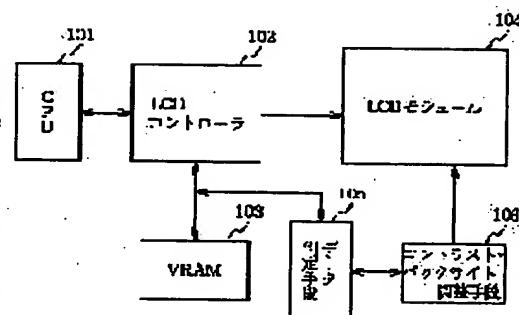
(72)Inventor : NAGASAKI KATSUHIKO
SHIMADA KAZUTOSHI
SUZUKI NORIYUKI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To automatically control the contrast and back light brightness so as to be in conformity with display contents.

CONSTITUTION: This liquid crystal display device is provided with a means 105 which reads data out of a video memory 103 and decides its data structure and a contrast and back light adjusting means 106 controls the contrast or back light brightness of an LCD based on the decision result and non-input time after the data alteration of the video memory 103 to control the contrast value and back light brightness value according to the display contents, thereby obtaining a display screen where gradations or characters and an image are easily recognized at all times.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-127608

(43)公開日 平成5年(1993)5月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I .	技術表示箇所
G 0 9 G 3/18	-	7926-5G		
G 0 2 F 1/133	5 7 5	7820-2K		
1/1335	5 3 0	7724-2K		

審査請求 未請求 請求項の数3(全 8 頁)

(21)出願番号 特願平3-287749

(22)出願日 平成3年(1991)11月1日

(71)出願人 000001007

キャノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 長崎 克彦

東京都大田区下丸子3丁目30番2号キャノ
ン株式会社内

(72)発明者 島田 和俊

東京都大田区下丸子3丁目30番2号キャノ
ン株式会社内

(72)発明者 鈴木 範之

東京都大田区下丸子3丁目30番2号キャノ
ン株式会社内

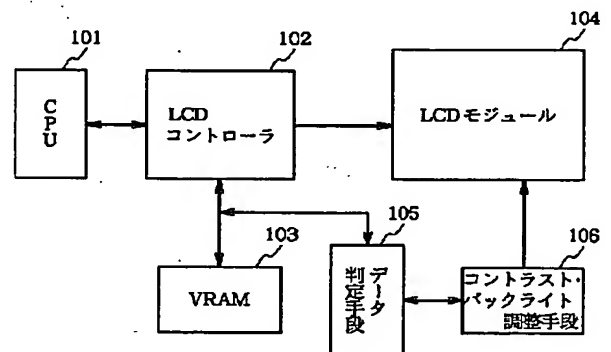
(74)代理人 弁理士 丸島 儀一

(54)【発明の名称】 液晶表示装置

(57)【要約】 (修正有)

【目的】表示内容に適するようにコントラストとバックライト輝度を自動的に制御する。

【構成】ビデオメモリ内のデータを読み取り、そのデータ構造を判定する手段を設けるとともに、判定結果及びビデオメモリのデータ変更後の無入力時間の判定結果に基づき、LCDのコントラスト或はバックライト輝度を制御することで、表示内容に応じたコントラスト値及びバックライト輝度値の制御を行なうことができ、階調の認識或は文字や画像の認識が容易な表示画面を常時得ることができる。



【特許請求の範囲】

【請求項1】 表示データを蓄えておくビデオメモリと、該ビデオメモリへのアクセス及び液晶表示部への表示データとタイミング信号の送出を行なう液晶表示装置コントローラと、液晶表示部のコントラストを調整するコントラスト調整手段と、バックライトの輝度を調整するバックライト調整手段とを有する液晶表示装置において、ビデオメモリ内の表示データを読みこみ、データ内容を判定するデータ判定手段と、該判定結果に基づき、コントラスト調整手段を制御するコントラスト制御手段と、バックライト調整手段を制御するバックライト制御手段とを備えたことを特徴とする液晶表示装置。

【請求項2】 前記ビデオメモリのデータ書きこみから、前記データ判定手段が前記ビデオメモリ内のデータを読みこむまでの待ち時間を設定し得るタイマー手段を備え、該待ち時間の長さを可変とすることができることを特徴とする特許請求の範囲第1項記載の液晶表示装置。

【請求項3】 表示データを蓄えておくビデオメモリと、該ビデオメモリへのアクセス及び液晶表示部への表示データとタイミング信号の送出を行なうコントローラと液晶表示部のコントラストを調整するコントラスト調整手段と、バックライトの輝度を調整するバックライト調整手段とを有する液晶表示装置において、前記ビデオメモリ内の表示データを読みこみ、データ内容を判定するデータ判定手段と、二系統の出力を持つタイマー手段と、該タイマー手段の一系統の出力及びデータ判定手段による判定結果に基づき、前記コントラスト調整手段を制御するコントラスト制御手段とバックライト調整手段を制御するバックライト制御手段とを備え、前記タイマー手段の他系統の出力を前記ビデオメモリのデータ書きこみから、データ判定手段が前記ビデオメモリ内のデータを読みこむまでの待ち時間に用いることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示装置に関するもので、特にコントラスト制御機能とバックライト制御機能を有する液晶表示装置に関する。

【0002】

【従来の技術】 従来の液晶表示装置（以下、LCDと言う）の動作について図8に示したハード構成ブロック図を用いて説明する。CPU101から表示すべき画像データが送られると、該データはLCDコントローラにおいてタイミング或はアドレスを調整され、VRAM103に書きこまれる。LCDコントローラ102は、VRAM103内の階調データを順次読みこみ、フレーム間引きデータに変換し、LCDモジュール104に送り、表示させる。

【0003】 LCDの画面調整には、コントラスト調整

とバックライト輝度調整があり、表示内容により、調整を行なう。例えば、全体の濃度差があまりなく、暗い濃度が多い画面の場合には、コントラストを上げるとともに、バックライト輝度を上げる。これにより、階調の認識或は、文字や画像の認識が容易な表示画面を得ることができる。LCDモジュール104にはコントラスト調整手段及びバックライト調整手段106が備えてある。両調整手段の制御は、ボリュームにより、機器の使用者が手動で行なっていた。又、バックライト調整手段については、一定時間、入力がない場合に、バックライトを消灯するもの（オート・パワー・オフ）があった。

【0004】

【発明が解決しようとしている課題】 前述のようにLCDにおいては、コントラスト或は、バックライトの輝度を制御するには、使用者が手動でボリュームを操作するのが一般的であった。ところが、表示内容により、階調認識などを容易にする最適なコントラスト値及びバックライト輝度値が異なるため、使用者が常に表示内容に最適なコントラスト値及びバックライト輝度値を得るには、表示内容の変化の都度、ボリューム調整を行なわなければならない。

【0005】 このため、使用者は、コントラスト値及びバックライト輝度値を十分に高く設定し、そのまま放置しがちであった。従って、使用者にとっては、認識の困難な画面を見続けることにより、眼の速い疲労を招く恐れもあった。又、オート・パワー・オフでは、バックライトを消灯するために表示内容が全く見えなくなってしまう欠点があった。

【0006】

【課題を解決するための手段及び作用】 前述の課題を解決するために、本発明に係るLCDでは、VRAM内のデータを読み取り、そのデータ構造を判定する手段を設けるとともに、該判定結果及び、VRAMのデータ変更後の無入力時間の判定結果に基づき、LCDのコントラスト或はバックライト輝度を制御することとした。

【0007】

【実施例】 以下、図面に従い、本発明の一実施例を詳細に説明する。

【0008】 図1は本発明の一実施例によるハード構成ブロック図である。ここで、101はCPU、102はLCDコントローラ、103はVRAM、104はLCD、105はデータ判定手段、106はコントラスト・バックライト輝度調整手段である。データ判定手段105はVRAM103のデータを読みこみ、所定の条件による判定を行ない、その判定結果により、コントラスト・バックライト輝度調整手段106の制御を行なう。

【0009】 次に、図2に示したデータ判定手段105のより詳細なブロック図を用いてデータ判定手段105の動作を説明する。

【0010】 VRAMライト検出回路201において、

3

コントローラからVRAMにデータが書かれたことが検出されると(ステップ301)、タイマー回路202において、タイマー動作中か否かを判定し(ステップ302)、タイマー動作中でなければタイマーをカウントし(ステップ304)、タイマー動作中であればカウンタをリセットし(ステップ303)、ステップ304にてタイマーをカウントする。タイマー回路202が、予め決められた所定時間カウントすると、リード制御回路203においてVRAM103内の表示データを読みこむための制御信号及びアドレス信号が出され、16階調表示が可能なLCD表示装置の場合一画素当たり4bitの階調データを全画素について読みこむ。

【0011】ここで、VRAMライト検出から一定時間新たなVRAMライトがないことを確かめてから、VRAMデータを読みこむのは、表示内容の変化の都度、コントラスト値及びバックライト輝度値を変化させると、表示内容の変化が頻繁に起こった場合に画面のちらつきが目立つためである。又、このタイマー時間を可変とすることにより、表示内容の変化に対する追随性を任意に設定することが可能となる。この時のVRAMデータ読みこみは、表示画面リフレッシュのためのLCDコントローラ102によるデータリードがなされていない期間に行なわれる。

【0012】読みこまれたVRAMデータはデータ判定回路204に送られる。

【0013】データ判定回路204では一画素の4bitデータがとりうる16通りの値に応じて16本のフラグを設け、各フラグに該当する4bitデータが読みこまれるとそのフラグを立てる。これを全画素について行なう。

【0014】次に、立てられたフラグの最上位フラグと最下位フラグの差をとり、その値R₁をコントラスト値の制御に用いる。同様に立てられたフラグの最上位フラグと最下位フラグの平均をとり、その値R₂をバックライト輝度値の制御に用いる。

【0015】以下に図4に示したコントラスト制御回路205の回路構成例と図5に示した該回路の動作フローチャートを用いて、コントラスト制御動作について説明する。ステップ501にて入力されたR₁と、現在のコントラスト値をA/D変換回路405においてA/D変換した値Rをコンパレータ401で比較する(ステップ502)。比較結果は、アップ・ダウンカウンタ402に送られる。即ち、R₁>Rならば、カウンタをアップし(ステップ504)、R₁<Rならば、カウンタをダウンする(ステップ507)。カウンタ402の出力は、セレクト403に送られ、セレクト403において、Aと、Q₀~Q₄の一つの選択して接続するための選択入力となる。該選択入力により、Q₀~Q₄の一つが選択されAと接続されることで、コントラスト値V_{out}の制御(ステップ505にてV_{out}のアップ制御の処

4

理、ステップ508にてダウン制御の処理)が行なわれる。ここで、アップ・ダウンカウンタは、デフォルト値としては、セレクト出力をQ₀~Q_nとすると、nが偶数(nキロ)のときはQ_{n/2}、nが奇数のときは、

【0016】

【外1】

$$Q \frac{n-1}{2}$$

に設定されるようになっており、使用者がボリュームを操作したとき、或はスイッチ・オン時には、このデフォルト値にアップ・ダウンカウンタ402は設定される。又、ステップ503或はステップ506にてセレクト出力がQ₀或はQ_nを選択するような選択入力をセレクト403に入力されると、コンパレータ出力停止回路404が作動し、それ以上ステップ503の場合はアップ・クロック、ステップ506の場合はダウン・クロックが出力されないようにする。

【0017】以上、述べてきた一連の動作により、R₁は値が大きい場合、即ち画面の最も暗いドットと最も明るいドットの差が大きい場合には、コントラスト値V_{out}を小さくし、差が小さい場合にはコントラスト値V_{out}を大きくする制御を行なうことが可能となる。

【0018】同様に、最上位フラグと最下位フラグの平均値R₂を用いて、コントラスト制御回路205と同様な構成のバックライト制御回路を動作させることにより、R₂の値が大きい場合は、バックライト輝度値を小さくし、R₂の値が小さい場合には、バックライト輝度値を大きくするといった制御を行なうことが可能である。

【0019】(第2の実施例) 前述の実施例では、VRAM103内のデータ構造の判定方法として、データの最大値と最小値の差及び平均を用いたが、もちろんこれを他の方法としてもよい。

【0020】以下に判定方法としてVRAMデータのMSBの平均を用いた実施例について述べる。

【0021】本実施例では、図2に示したデータ判定手段105の詳細なブロック図の中のデータ判定回路204を図6のように構成する。

【0022】以下、図2に従い、コントラスト値或はバックライト輝度値の制御動作を説明する。

【0023】VRAMライト検出回路201において、VRAMライトが検出されると、タイマー回路202において、一定時間新たなVRAMライトがないことを確認してから、リード制御回路203において、VRAMデータリードのためのアドレス信号及び制御信号を出す。このとき、前述実施例では、一画素4bitデータを順次読みこむ如くアドレス信号及び制御信号が構成されていたが、本実施例では、各画素4bitデータのMSBのみを4画素単位で読みこみ、4bitデータとるようにアドレス信号及び制御信号を構成する。

【0024】前述実施例と本実施例において、データ判定回路に読みこまれる4bitデータの違いを図7に示す。

【0025】7-Aが前述実施例における4bitデータ、7-Bが本実施例における4bitデータである。本実施例では、データのMSBのみを読みこむため、前述実施例に比して、読みこむデータ量は4分の1でよいという利点がある。読みこまれた4bitデータは、図6に示すデータ判定回路に送られる。パラレル・シリアル変換回路601により4bitデータはシリアル変換され、カウンタ602に入力し、カウントする。これを全画素について行なう。このとき、表示画面を640x480ドットとすると、カウンタ602には、19bit必要となる。全画素のカウント終了後、カウンタ602の上位4bitの出力をMSBの平均値R3とする。このR3を用いて、図4及び図5に従い、前述実施例と同様にコントラスト値制御或はバックライト輝度値制御を行なう。

【0026】(第3の実施例) 前述の第1、第2の実施例では、コントラスト値或はバックライト輝度値の制御をVRAM103内のデータを読み取り、そのデータ構造を判定することにより行なったが、もちろんこれにタイマー回路202に基づく判定手段を加えてもよい。以下、図面に従い第3の実施例を詳細に説明する。

【0027】図9に本実施例によるデータ判定手段105のより詳細なブロック図を示す。

【0028】VRAMライト検出回路201において、コントローラからVRAM103にデータが書かれたことが検出されると、タイマー回路902は図3に示したフローチャートに従い、タイマー動作を行なう。ここで、タイマー回路902には、2通りのタイマー時間T1、T2(ただし、 $T1 < T2$ とする)を設定することができる。タイマー回路902がタイマー時間T1だけカウントすると、前述の第1、第2の実施例と同様にリード制御回路203から出される制御信号及びアドレス信号によりVRAM103内の表示データが、データ判定回路204に読みこまれ、該表示データに基づきデータ構造が判定され4bitの判定データがデータ判定回路204から出力される。該判定データはコントラスト制御回路205或はバックライト制御回路901へ送られる。さらに、本実施例では、タイマー回路902において、タイマー時間T2をカウント終了したか否かを出力するタイムアウト信号Toutがバックライト制御回路901に入力されるとともに、タイムアウト信号Toutがアクティブになってから初めて使用者が機器を操作したことをCPU101が検知して、これを報知するタイムアウトリセット信号Tresが、バックライト制御回路901に入力される。

【0029】次に、図10の本実施例におけるバックライト制御回路の回路構成例を用いて、バックライト制御

の動作を説明する。

【0030】ここで、1001は、タイムアウト信号Toutがアクティブのときは端子Cと端子Aとを接続し、タイムアウト信号Toutがノン・アクティブのときは端子Cと端子Bとを接続するよう構成されているタイムアウトセット回路である。又、1002は、タイムアウトリセット信号Tresによりタイムアウト信号Toutをリセットするタイムアウトリセット回路である。

【0031】タイムアウト信号Toutが、ノン・アクティブのとき、タイムアウトセット回路1001は、端子Cと端子Bを接続し、バックライト制御回路901は、前述第1、第2の実施例におけるバックライト制御回路206と同様の動作を行なう。

【0032】タイムアウト信号Toutがアクティブになると、タイムアウトセット回路1001は、端子Cと端子Aとを接続することにより、バックライト輝度値Voutをほぼ半減させる。

【0033】さらに、この状態において、タイムアウトリセット信号Tresが入力されると、タイムアウトリセット回路1002により、タイムアウト信号Toutがリセットされ、タイムアウトセット回路1001は端子Cと端子Bとを接続するとともに、アップ・ダウンカウンタ402はデフォルト値にセットされる。

【0034】

【発明の効果】以上、述べてきたように本発明によれば、従来は使用者が手動で操作する他はなかったコントラスト値及びバックライト輝度値の制御をVRAM内のデータを読み取り、データ判定回路を用いることにより、自動的に制御できるようになる。これにより、表示内容に応じたコントラスト値及びバックライト輝度値の制御を行なうことができ、階調の認識或は文字や画像の認識が容易な表示画面を常時得ることができる。

【0035】さらに、使用者は、コントラスト値或はバックライト輝度値を十分に高く設定しがちであることを考慮すると、本発明を用いることにより低消費電力化にも効果がある。

【0036】又、表示内容に変更があった後にコントラスト値或はバックライト輝度値の制御を行なうまでのタイマー時間を任意に設定できるので、表示内容の変更が頻繁に起こった場合の画面のちらつきを防止することも可能となる。

【0037】さらに、第2の実施例に係る発明によれば、上述した効果に加えて、予め設定された所定時間、無入力時間が続いた場合、バックライト輝度値をほぼ半減とすることができることから、従来は、全く見えなくなっていた表示内容を認識し得る程度に保つことが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例のハード構成ブロック図。

【図2】第1図のデータ判定手段105のより詳細なブロック図。

【図3】VRAMライト検出からリード制御までのフローチャート。

【図4】コントラスト値制御回路の回路構成例の図。

【図5】第4図による動作を示したフローチャート。

【図6】本発明の第2の実施例のデータ判定回路のブロック図。

【図7】本発明の一実施例と他の実施例による読みこみデータの違いを示した図。

【図8】従来のLCDのハード構成ブロック図。

【図9】本発明の第3の実施例におけるデータ判定105のより詳細なブロック図。

【図10】本発明の第3の実施例におけるバックライト制御回路の回路構成例の図。

【符号の説明】

101 CPU

102 LCDコントローラ

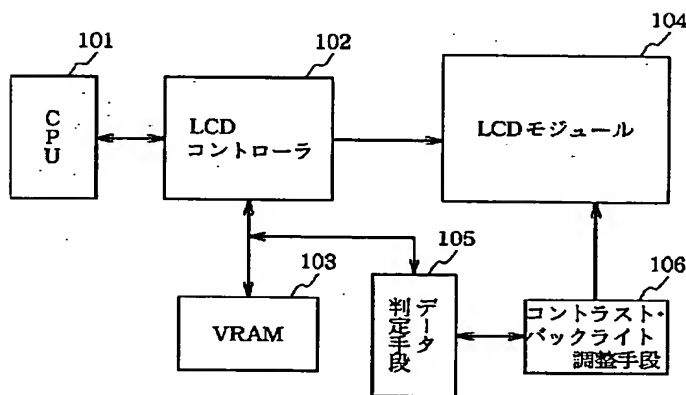
103 VRAM

104 LCDモジュール

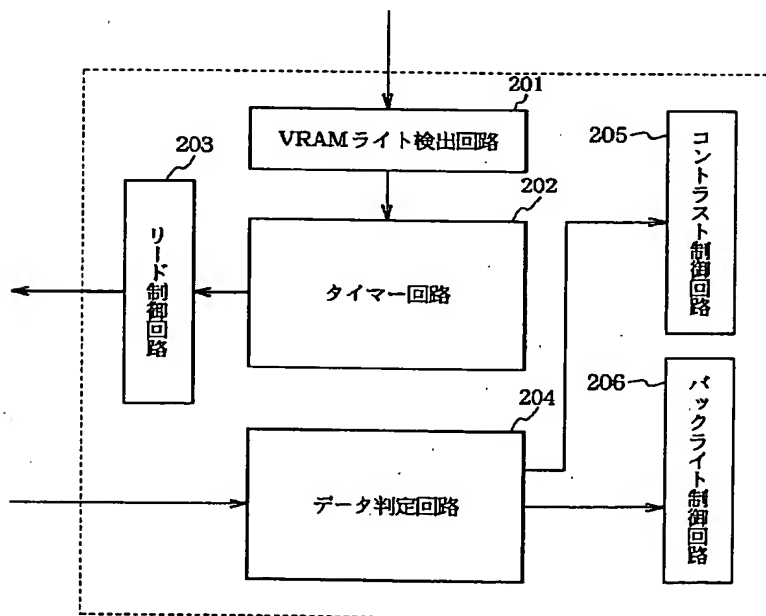
105 データ判定手段

106 コントラスト・バックライト調整手段

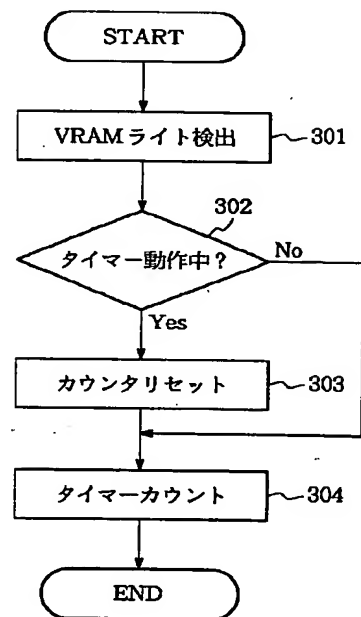
【図1】



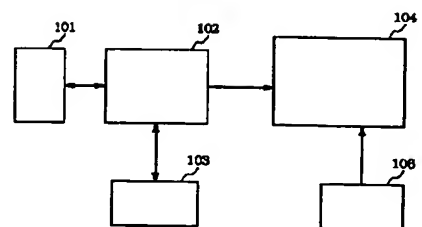
【図2】



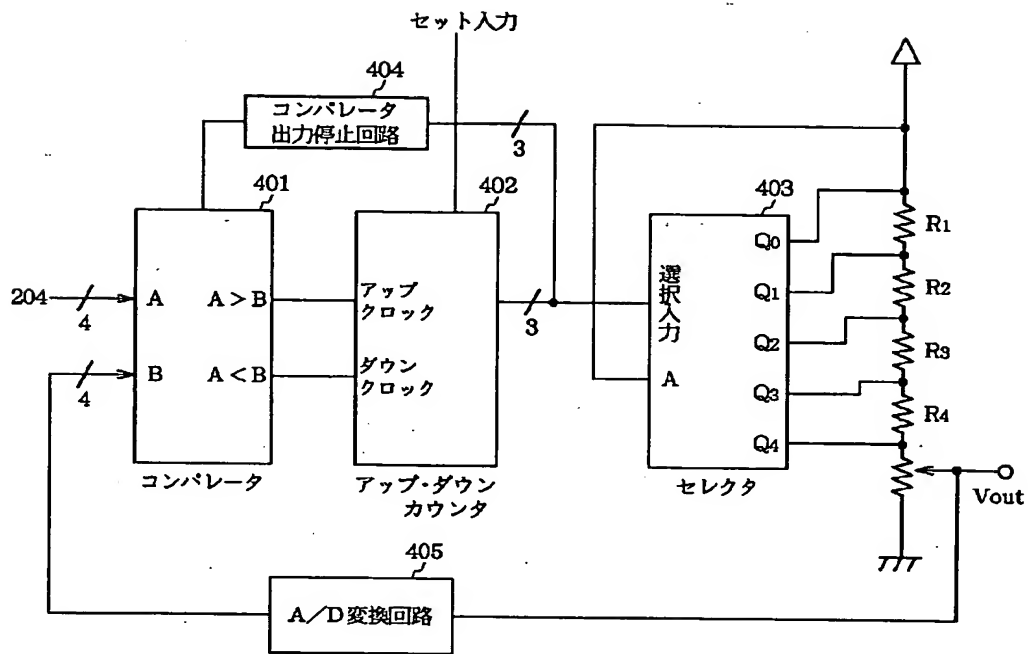
【図3】



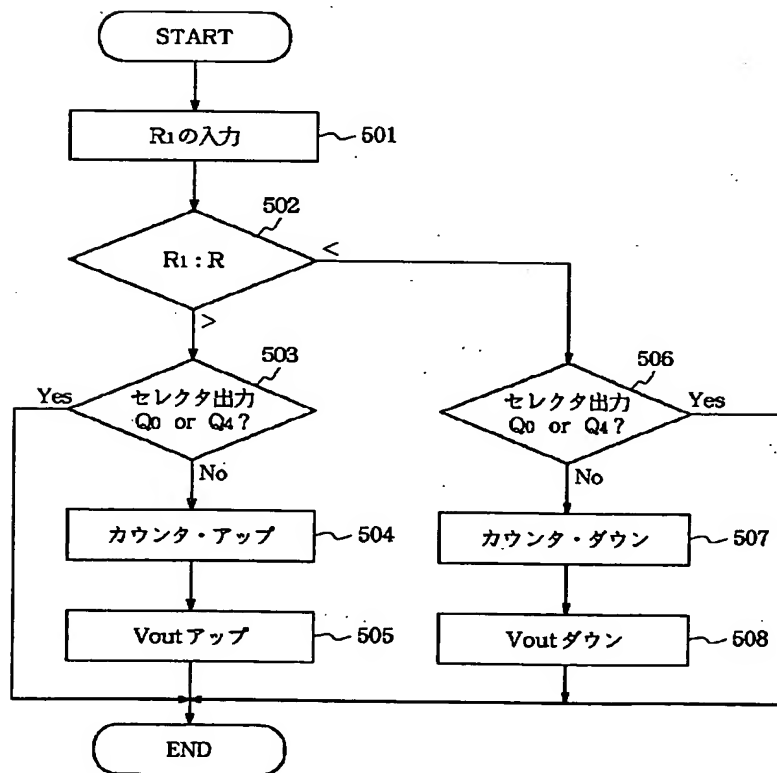
【図8】



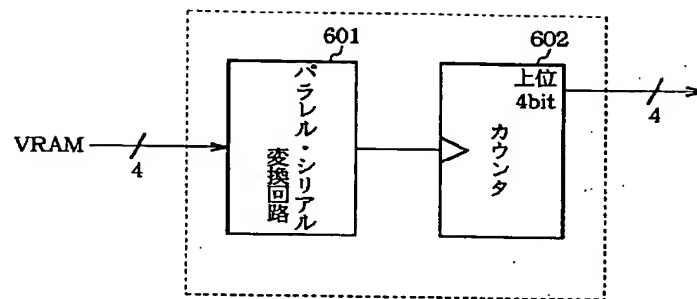
【図4】



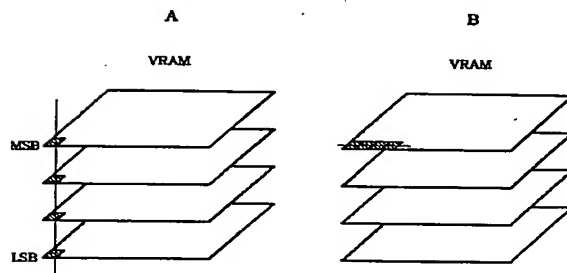
【図5】



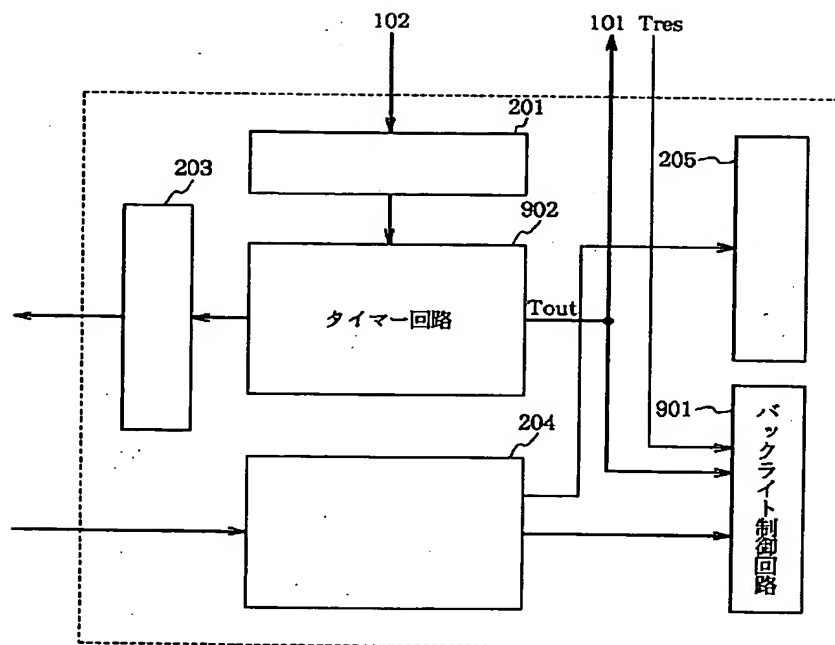
【図6】



【図7】



【図9】



【図10】

